



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001307975 A**(43) Date of publication of application: **02.11.01**

(51) Int. Cl. **H01L 21/027**
G03F 7/20
H01J 37/305

(21) Application number: **2000082634**(22) Date of filing: **23.03.00**(30) Priority: **18.02.00 JP 2000041522**(71) Applicant: **NIKON CORP**

(72) Inventor: **KAMIJO KOICHI**
KOJIMA SHINICHI
NAKANO KATSUSHI
OKAMOTO KAZUYA

(54) **CHARGED-PARTICLE-BEAM EXPOSURE
 APPARATUS AND SEMICONDUCTOR-DEVICE
 MANUFACTURING METHOD**

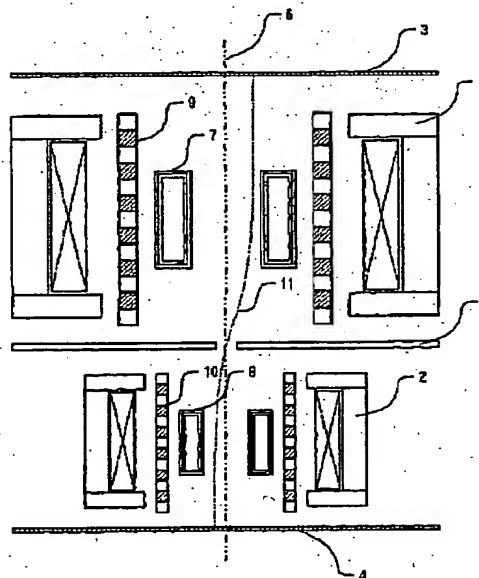
(57) Abstract

PROBLEM TO BE SOLVED: To provide a charged-particle-beam exposure apparatus wherein the positional discrepancy and blooming of the image of its beam are scarcely generated even when the temperature in its lens barrel is varied.

SOLUTION: After projecting an electron beam on a reticle 3 by an illumination optical system, the electron beam passed through a pattern formed on the reticle 3 is imaged on a wafer by two lenses 1, 2. Deflectors 7, 8 so deflect the electron beam that the electron beam started from a predetermined position of the reticle 3 proceeds on its predetermined deflecting trajectory 11 and passes a scattering aperture 5 to be imaged on a predetermined position of a wafer 4. Ferrite stacks 9, 10 prevent the deflectors 7, 8 from causing unintended magnetic actions on the electron beam by eddy currents occurring in the constituent metals of the lenses 1, 2 due to the effect of the AC magnetic fields generated by the deflectors 7, 8. The permeability variations of the used ferrite

stacks 9, 10 are so made small that the positional discrepancy of the image of the electron beam which is caused by the permeability variations of the ferrite stacks 9, 10 due to their temperature variations becomes not larger than a predetermined value.

COPYRIGHT: (C)2001,JPO



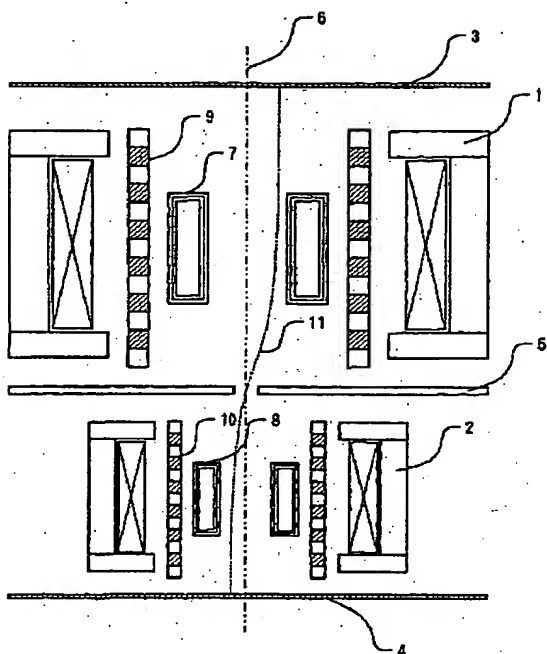
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

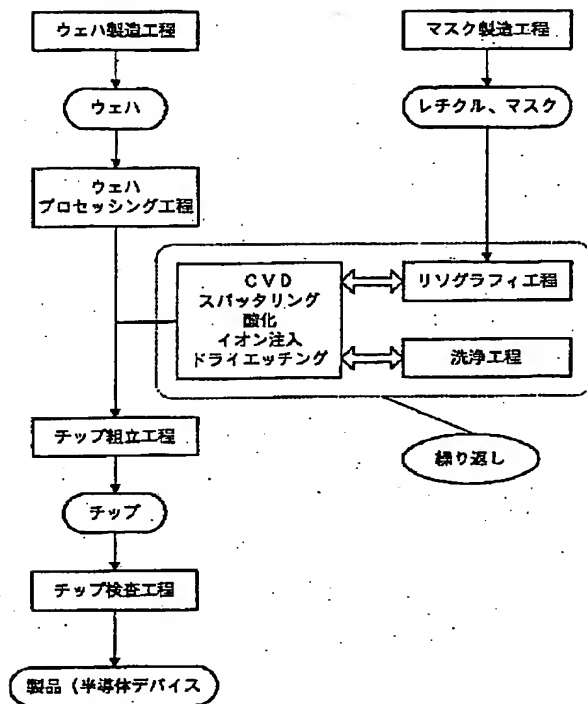
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

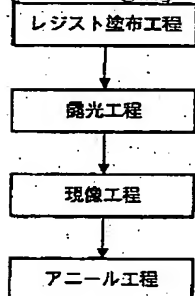
[Drawing 1]



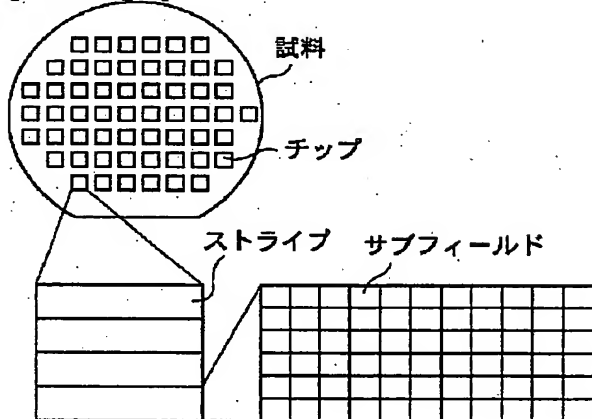
[Drawing 2]



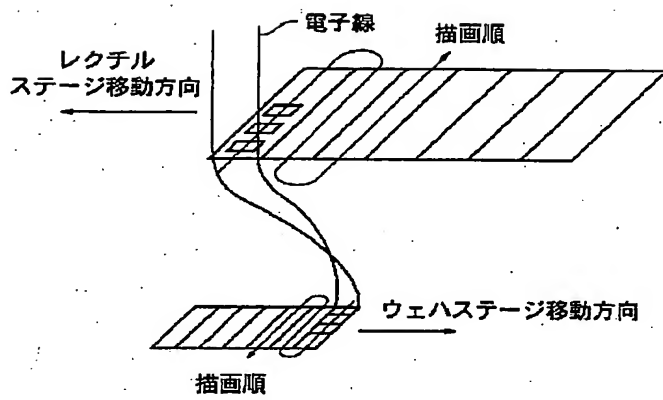
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of the thing about the charged-particle line aligner of the method which imprints the pattern on a mask or a reticle on an induction substrate side using a charged-particle line, and the charged-particle line aligner which aimed at aberration reduction of a position gap of the imprint image under exposure etc. in more detail, and the semiconductor device which used it.

[0002]

[Description of the Prior Art] Since a limitation is in the pattern line breadth which can be formed in the conventional aligner which used light in connection with the densification of the degree of integration required of a semiconductor device and high integration is impossible, development of the aligner which used the charged-particle line is furthered. Attention has gathered for the thing of a division imprint method which has a high throughput also in such a charged-particle line aligner.

[0003] The aligner of this division projection imprint method is explained according to drawing 4 and drawing 5. Drawing 4 is drawing showing the unit of division exposure. First, two or more chips are formed on an imprint object (usually wafer), further, a chip is divided into a stripe and a stripe is divided into a subfield. Transferred objects, such as a reticle, are divided similarly.

[0004] In a division projection aligner, exposure is usually performed by the method as shown in drawing 5. First, a reticle stage and a wafer stage carry out fixed-speed movement of the center of a corresponding stripe at the speed according to the reduction ratio. An electron ray illuminates the subfield on a reticle and projection exposure of the pattern formed on the reticle is carried out by the projection optical system on a sample.

[0005] And an electron ray is deflected in the travelling direction of a reticle stage, and the right-angled direction, and projection exposure of the subfield arranged at the single tier is performed one by one. Although projection exposure of the following subfield is started after projection exposure of the subfield of a single tier is completed, it is made to raise a throughput by making the deviation direction of an electron ray reverse, as shown in drawing 5 in that case, and performing projection exposure of a subfield one by one.

[0006] Since all the patterns that package exposure of the subfield field is carried out as compared with the conventional charged-particle line aligner, and should be exposed to a reticle since exposure is performed by such method are formed, a throughput can be raised very much. Unlike the case of the aligner which used light, the reticle used by this aligner is divided into the subfield section (pattern section) and the beam section (it is called a strut below) of the circumference of it. The beam section is prepared for the purpose for choosing only the subfield which a lighting beam should expose certainly in order to maintain the intensity of the reticle itself.

[0007] The outline of the imprint optical system of electron-beam-lithography equipment is shown in drawing 1. As for deflecting system, and 9 and 10, for a dispersion aperture and 6, in drawing 1, a system shaft, and 7 and 8 are [1, the wafer a reticle and whose 4 2 is induction substrate sides as for a lens and 3, and 5 / a ferrite stack and 11] the deviation orbits of an electron ray.

[0008] A ferrite stack consists of a ring laminating of a nonmagnetic ferrite and the ferrite of high permeability. The ring is symmetrical from the purpose to the same shaft as the shaft of a lens, and the inradius, a circumradius, thickness, etc. are appropriately set to fulfill the given conditions by the

designer. Although the portion of a nonmagnetic ferrite may not exist, preparing from a viewpoint of assembly precision is desirable. The property of the ferrite stack made into the problem on these specifications is the property of the ferrite of high permeability.

[0009] A reticle 3 is irradiated by the electron ray by the lighting optical system which is not illustrated, image formation of the electron ray which passed the pattern on it is carried out on a wafer with two lenses 1 and 2, and it carries out the reduction imprint of the pattern on a reticle 3 on a wafer 4. Between the lens 1 and the lens 2, the dispersion aperture 5 for cutting the scattered radiation is formed. Deflecting system 7 and 8 deflects an electron ray so that the electron ray which left the position of a mask 3 may ride on the deviation orbit 11 of a predetermined electron ray, may pass the dispersion aperture 5 and may carry out image formation to the position of a wafer 4, and also it is performing the operation which removes distortion and aberration of an image.

[0010] An eddy current occurs to the metal which constitutes lenses 1 and 2 under the influence of the alternating current magnetic field which deflecting system 7 and 8 generates, and the ferrite stacks 9 and 10 are bearing the duty which prepares the configuration of the lens magnetic field by the creation error of a lens while preventing occurring the magnetic action to an electron ray which is not meant.

[0011]

[Problem(s) to be Solved by the Invention] In the case of the imprinted type electron-beam-lithography equipment especially represented by the division imprint aligner, the high throughput has been obtained by enlarging comparatively the beam current of an illumination system and an imprint system, and exposing it. However, in order to expose with big current, it is necessary to suppress dotage of the image by the coulomb effect.

[0012] In order to suppress dotage of the image by the coulomb effect, it is necessary to accelerate the electron ray to irradiate on comparatively high voltage, or to shorten the reticle of imprint optical system, and the distance between wafers. Consequently, it must be made to take a predetermined reduction orbit and a predetermined deviation orbit between the short flights of a charged-particle line, and it is necessary to increase the current which flows to a lens and deflecting system for the reason.

[0013] Moreover, in order to obtain a high throughput in the case of the imprinted type electron-beam-lithography equipment represented by the division imprint aligner, it is necessary to reduce the number of times which an induction substrate skips mechanically or turns up a scan, and to decrease the overhead time concerning an induction substrate stage standing still or driving by extending a deviation field as much as possible. Since deviation distance is proportional to the exciting current of deflecting system, in order to give a large deviation to an electron ray, it must give a big exciting current to deflecting system.

[0014] Thus, elements, such as a lens and deflecting system, tend to need the bigger current for realization of a higher throughput, and generation of heat by this exists not a little. When the temperature of an element is changed during exposure operation, change occurs in the configuration of a magnetic field of corresponding according to the magnetic properties of the material which constitutes these. Therefore, although the efforts on a design had been paid so that the error by the temperature change of a lens, deflecting system, etc. might be conventionally made into a predetermined value, as a result of research of artificers, it turns out that there is an error by the temperature change which it cannot finish removing even if it makes these small, and it was thought that there would be another generating factor.

[0015] When this invention person investigated this cause, it turns out that the ferrite stacks 9 and 10 which exist between the deflecting system and the lenses with which the conventional attention was not paid change the deflection sensitivity of deflecting system remarkably in connection with a temperature change, and cause a position gap of an image, an increase in dotage, etc. in an induction substrate.

[0016] Let it be a technical problem for this invention to offer the manufacture method of a semiconductor device that generating of a position gap of an image or dotage used a small charged-particle line aligner and it even if it was made based on such knowledge and the temperature in a lens-barrel changed.

[0017]

[Means for Solving the Problem] The 1st means for solving the aforementioned technical problem is the charged-particle line aligner of the method imprinted on an induction substrate side, and sets the pattern formed in the reticle or the mask to the design temperature of the ferrite stack under operation of a ***** aligner. When the tolerance of a position gap of the image which originates in a ferrite stack and is generated is defined when there is a temperature change of the predetermined range, and there is a temperature change of the aforementioned range It is the charged-particle line aligner (claim 1) characterized by using the ferrite which carries out permeability change which generates a position gap of the image within the aforementioned tolerance as a material of a ferrite stack.

[0018] The need of conventionally taking into consideration as a cause of a position gap or dotage also about a ferrite stack based on the knowledge which this invention persons discovered although it was not known a position gap and dotage occurring by the temperature change of a ferrite stack itself became clear.

[0019] When the tolerance of a position gap of the image which originates in a ferrite stack and is generated defines in this means when there is a temperature change of the predetermined range, and there is the aforementioned predetermined temperature change, change of the permeability which causes [of the image] a position gap in the ferrite stack is suppressing in the predetermined range by using the ferrite which carries out permeability change which generates a position gap of the image within the aforementioned tolerance.

[0020] Therefore, since a position gap of the image in a predetermined temperature change is stored within a design value, it can consider as a charged-particle line aligner with few position gaps of an image. Since the property of a ferrite is easy to control by changing the material and baking conditions, the target thing can be obtained easily.

[0021] The 1st means for solving the aforementioned technical problem is the charged-particle line aligner of the method which imprints the pattern formed in the reticle or the mask on an induction substrate side. as a material of a ferrite stack In the design temperature of the ferrite stack under operation of a ***** aligner, it is the charged-particle line aligner (claim 2) characterized by using the ferrite which has permeability change to which a position gap of the image which originates in change of permeability to a 0.01-degree C temperature change is set to 1nm or less.

[0022] In the charged-particle line aligner, the temperature change which a ferrite stack receives is about **0.01 degrees C, even when extreme. On the other hand, it is necessary to take into consideration from a synthetic precision for exposure, and the position gap caused by the temperature change of a ferrite stack needs to be taken as a small thing 1nm or less. The precision demanded in the case of an exposure imprint can be satisfied now by conventionally, selecting and using the ferrite which has permeability change to which a position gap of the image which originates in change of permeability to a 0.01-degree C temperature change is set to 1nm or less based on the knowledge which this invention persons discovered, although it was not known that a position gap and dotage will occur by the temperature change of a ferrite stack itself.

[0023] The 3rd means for solving the aforementioned technical problem is the manufacture method (claim 2) of the semiconductor device which has the process which imprints to a wafer the pattern formed in the reticle or the mask using the charged-particle line aligner which is the 1st means of the above, or the 2nd means, and is characterized by the bird clapper.

[0024] In the charged-particle line aligner which is the 1st means or the 2nd means, since a gap of the image by the temperature change of a ferrite stack is suppressed small, the semiconductor device which has a detailed pattern can also be manufactured with sufficient precision and yield by imprinting to a wafer the pattern formed in the reticle or the mask using this.

[0025]

[Example] Hereafter, the example of this invention is explained using drawing. Since drawing 1 does not change with the conventional thing structurally except that it is drawing showing the outline of the imprint optical system of the electron-beam-lithography equipment which is the example of this invention and is using the thing special as a ferrite stack, the drawing used in explanation of the conventional example is applied to.

[0026] In this example, distance between a mask 3 and a wafer 4 was set to 600mm, the exciting current of lenses 1 and 2 was set up so that the pattern in a mask 3 might become 0.25mm angle on a

wafer 4, and the reduction exposure imprint of a quadrant was performed. With the beam of aperture angle 6mrad, the pattern on a reticle was irradiated in the position on the 4th page of the wafer which is separated from the system shaft 6 2.5mm, and it went by the following evaluations.

[0027] In this optical system, the position gap of the image generated when 0.01-degree-C temperature rises from the temperature of 25 degrees C made into criteria paying attention to the ferrite stack 9 estimated the ferrite to be used.

[0028] First, the initial permeability in 25 degrees C of reference temperature used the ferrite A whose rate of change of the initial permeability per unit temperature (1 degree C) change is 150 near the reference temperature by 6000 as an example of comparison. Next, the initial permeability in reference temperature used as an example the ferrite B whose rate of change of the initial permeability per unit temperature (1 degree C) change is 11 near the reference temperature by 7000.

[0029] The amount Δx of position gaps of the image produced when the initial permeability of the ferrite stack 9 changes one time with this optical system is expressed with the following formulas as a function of the initial permeability μ of the ferrite 9 in the temperature at the time of proofreading.

$\Delta x = a_0 + a_1 \mu$ and $\mu + a_2$ and $\mu^2 a_0 = 3.487750 \times 10 a_1 = -7.916667 \times 10^{-3} a_2 = 4.966667 \times 10^{-7}$

[0030] In the case of the ferrite A proofread at 25 degrees C, the amount Δx of position gaps of the image produced when initial permeability changes one time is. In the case of the ferrite B which is 5.26nm and was proofread at 25 degrees C It is 3.80nm.

[0031] The position gap of the image generated when 0.01-degree-C temperature rises from the temperature of 25 degrees C which the temperature of the ferrite stack 9 using Ferrite A and Ferrite B as a material makes criteria according to this is set to 7.89nm when Ferrite A is used, and when Ferrite B is used, it is set to 0.42nm. Thus, the direction which used Ferrite B can make small the amount of position gaps of the image generated when a temperature change arises during exposure operation. If the position gap to a 0.01-degree C temperature change is suppressed to 1nm or less, the good thing of sufficient accuracy will be obtained.

[0032] Moreover, it can ask for the rate of change to the temperature of initial permeability required in order to store in the range which asks for the amount of image-position gaps easily from the ferrite whose initial permeability in the temperature at the time of proofreading is known by calculating the amount of position gaps of the image per unit initial permeability change to the value of the initial permeability at the time of proofreading about the ferrite stack in predetermined optical system beforehand.

[0033]

[Embodiments of the Invention] Hereafter, the example of the gestalt of implementation of the manufacture method of the semiconductor device concerning this invention is explained. Drawing 2 is a flow chart which shows an example of the semiconductor-device manufacture method of this invention. The manufacturing process of this example includes each following main process.

** The wafer manufacturing process which manufactures a wafer (or wafer preparation process of preparing a wafer)

** The mask manufacturing process which manufactures the mask used for exposure (or mask preparation process of preparing a mask)

** It starts at a time one chip formed on the wafer processing process ** wafer which performs processing processing required for a wafer, and consists of a sub process of further some [process / each] whose chip erector who makes operation become possible ** Is the chip inspection process which inspects the chip which was able to be done.

[0034] The main process which has decisive influence on the performance of the device of a semiconductor in these main processes is a wafer processing process. At this process, the laminating of the designed circuit pattern is carried out one by one on a wafer, and much chips which operate as memory or MPU are formed. This wafer processing process includes each following process.

** The thin film formation process which forms the metal thin film which forms the dielectric thin film used as an insulating layer, the wiring section, or the polar zone (CVD, sputtering, etc. are used)

** The etching process which processes a thin film layer and a substrate according to the lithography process ** resist pattern which uses a mask (reticle) and forms the pattern of a resist in order to

process alternatively an oxidization process ** thin film layer, a wafer substrate, etc. which oxidize this thin film layer and wafer substrate (for example, dry etching technology is used)

** A wafer processing process performs repeatedly only the required number of layers which is the inspection process which inspects the wafer processed into the ion and impurity pouring diffusion process ** resist ablation process ** plan, and manufactures the semiconductor device which operates as a design.

[0035] Drawing 3 is a flow chart which shows the lithography process which makes the nucleus of the wafer processing process of drawing 2. This lithography process includes each following process.

** About the semiconductor-device manufacturing process beyond the annealing process for stabilizing the resist pattern which develops the resist which exposes the resist application process ** resist which carries out the coat of the resist on the wafer with which the circuit pattern was formed at the process of the preceding paragraph, and of which exposure process ** exposure was done, and obtains the pattern of a resist and of which development process ** development was done, a wafer processing process, and a lithography process, it is a well-known thing and explanation beyond this will not be required. In the manufacture method of this semiconductor device, since the charged-particle line aligner concerning this invention is used for the imprint of the circuit pattern from a reticle or a mask to a wafer, there are little the position gap and dotage of a pattern accompanying the temperature change inside a lens-barrel, and, therefore, they can manufacture a detailed pattern with sufficient precision and yield.

[0036]

[Effect of the Invention] Since a position gap of the image in a predetermined temperature change is stored within a design value in invention which starts a claim 1 among this inventions, and invention concerning a claim 2 as explained above, it can consider as a charged-particle line aligner with few position gaps of an image.

[0037] In invention concerning a claim 3, the semiconductor device which has a detailed pattern can also be manufactured with sufficient precision and yield.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-307975

(P2001-307975A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int. CL ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/027		G 0 3 F 7/20	5 0 4 2 H 0 9 7
G 0 3 F 7/20	5 0 4		5 2 1 5 C 0 3 4
	5 2 1	H 0 1 J 37/305	B 5 F 0 5 6
H 0 1 J 37/305		H 0 1 L 21/30	5 4 1 C
			5 4 1 E
審査請求 未請求 請求項の数 3 O L (全 6 頁)			

(21) 出願番号 特願2000-82634(P2000-82634)

(22) 出願日 平成12年3月23日 (2000.3.23)

(31) 優先権主張番号 特願2000-41522(P2000-41522)

(32) 優先日 平成12年2月18日 (2000.2.18)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72) 発明者 上條 康一

東京都千代田区丸の内3丁目2番3号 株

式会社ニコン内

(72) 発明者 小島 真一

東京都千代田区丸の内3丁目2番3号 株

式会社ニコン内

(74) 代理人 100094846

弁理士 細江 利昭

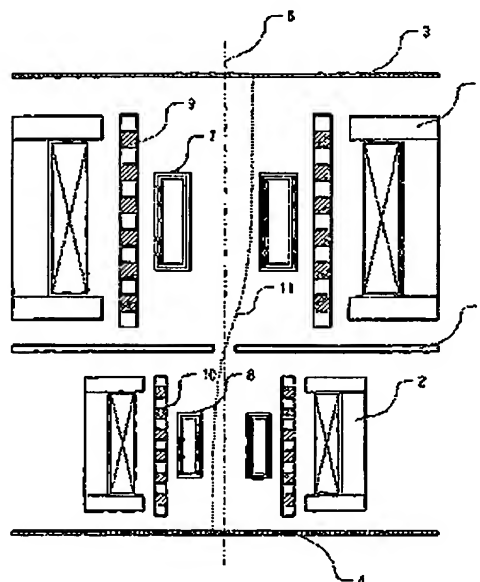
最終頁に続く

(54) 【発明の名称】 荷電粒子線露光装置及び半導体デバイスの製造方法

(57) 【要約】

【課題】 鏡筒内の温度が変化しても像の位置ずれやボケの発生が小さい荷電粒子線露光装置を提供する。

【解決手段】 照明光学系によりレチクル3が電子線で照射され、その上のパターンを通過した電子線が2つのレンズ1、2によりウェハ上に結像される。偏向器7、8は、マスク3の所定の位置から出発した電子線が所定の電子線の偏向軌道11上に乗って、散乱アパーチャ5を通過しウェハ4の所定の位置に結像するように電子線を偏向させる。フェライトスタック9、10は、偏向器7、8が発生する交流磁場の影響により、レンズ1、2を構成する金属に渦電流が発生して、電子線への意図せぬ磁気作用を生起することを防ぐ。フェライトスタック9、10の温度変化による透磁率変化に起因する像の位置ずれが所定値以下となるように、透磁率変化の小さいフェライトを使用する。



【特許請求の範囲】

【請求項1】 レチクル又はマスクに形成されたパターンを感光基板上に転写する方式の荷電粒子線露光装置であって、荷電粒子線露光装置の作動中のフェライトスタックの設計温度において、所定範囲の温度変化があったときにフェライトスタックに起因して発生する像の位置ずれの許容範囲を定め、前記範囲の温度変化があったときに、前記許容範囲以内の像の位置ずれを発生させるような透磁率変化をするフェライトを、フェライトスタックの材料として用いたことを特徴とする荷電粒子線露光装置。

【請求項2】 レチクル又はマスクに形成されたパターンを感光基板上に転写する方式の荷電粒子線露光装置であって、フェライトスタックの材料として、電粒子線露光装置の作動中のフェライトスタックの設計温度において、0.01℃の温度変化に対して透磁率の変化に起因する像の位置ずれが1nm以下となるような透磁率変化を有するフェライトを用いたことを特徴とする荷電粒子線露光装置。

【請求項3】 請求項1又は請求項2に記載の荷電粒子線露光装置を使用してレチクル又はマスクに形成されたパターンをウェハに転写する工程を有してなることを特徴とする半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、荷電粒子線を用いてマスク又はレチクル上のパターンを感光基板上に転写する方式の荷電粒子線露光装置、さらに詳しくは、露光中の転写像の位置ずれ等の収差低減を図った荷電粒子線露光装置に関するもの、及びそれを使用した半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体デバイスに要求される集積度の高密度化に伴い、光を使用した従来の露光装置においては、形成できるパターン線幅に限界があって高集積化ができないため、荷電粒子線を使用した露光装置の開発が進められている。このような荷電粒子線露光装置の中でも、高スループットを有する分割転写方式のものに注目が集まっている。

【0003】この分割投影転写方式の露光装置を図4、図5に従って説明する。図4は分割露光の単位を示す図である。まず、転写体（通常はウェハ）上には複数のチップが形成され、さらにチップはストライプに、ストライプはサブフィールドに分割される。レチクル等の被転写体も同様に分割されている。

【0004】分割投影露光装置では通常、図5に示すような方法で露光が行われる。まず、レチクルステージとウェハステージは対応するストライプの中心を揃小此に従った速度で定速移動する。電子線はレチクル上のサブフィールドを照明し、レチクル上に形成されたパターン

は投影光学系によって試料上に投影露光される。

【0005】そして、電子線をレチクルステージの進行方向と直角な方向に偏向させ、順次、一列に配置されたサブフィールドの投影露光を行う。一列のサブフィールドの投影露光が終了すると、次のサブフィールドの投影露光を開始するが、その際図5に示すように電子線の偏向方向を逆にして、順次サブフィールドの投影露光を行うことにより、スループットを上げるようにしている。

【0006】このような方法で露光が行われるため、従来の荷電粒子線露光装置と比較すると、サブフィールド領域が一括露光され、またレチクルには露光すべきパターンがすべて形成されているため、非常にスループットを向上させることができる。この露光装置で使用するレチクルは、光を使用した露光装置の場合とは異なり、サブフィールド部（パターン部）とその周辺の梁部（以下ストラットと呼ぶ）に分割されている。梁部はレチクル自体の強度を保つためや、照明ビームが確実に露光すべきサブフィールドのみを選択するための目的で設けられている。

【0007】図1に電子線露光装置の転写光学系の概要を示す。図1において1、2はレンズ、3はレチクル、4は感光基板面であるウェハ、5は散乱アパーチャ、6はシステム軸、7、8は偏向器、9、10はフェライトスタック、11は電子線の偏向軌道である。

【0008】フェライトスタックとは、非磁性フェライトと高透磁率のフェライトのリング積層からなるものである。リングはその目的から、レンズの軸と同じ軸に対して対称であり、その内半径、外半径、厚さ等は、与えられた条件を満たすように設計者によって適切に定められる。非磁性フェライトの部分は存在しなくても構わないが、組立精度の観点からは設けることが好ましい。本明細書で問題としているフェライトスタックの特性とは、高透磁率のフェライトの特性のことである。

【0009】図示されない照明光学系によりレチクル3が電子線で照射され、その上のパターンを通過した電子線が2つのレンズ1、2によりウェハ上に結像され、レチクル3上のパターンをウェハ4上に縮小転写する。レンズ1とレンズ2の間には、散乱線をカットするための散乱アパーチャ5が設けられている。偏向器7、8は、マスク3の所定の位置から出発した電子線が所定の電子線の偏向軌道11に乗って、散乱アパーチャ5を通過しウェハ4の所定の位置に結像するように電子線を偏向させる他、像の歪みや収差を取り除く作用を行っている。

【0010】フェライトスタック9、10は、偏向器7、8が発生する交流磁場の影響により、レンズ1、2を構成する金属に渦電流が発生して、電子線への意図せぬ磁気作用を生起することを防ぐとともに、レンズの作成誤差によるレンズ磁場の形状を整える役目を担っている。

【0011】

【発明が解決しようとする課題】特に、分割転写露光装置に代表される転写型電子線露光装置の場合、照明系及び転写系のビーム電流を比較的大きくして露光することにより高スループットを得ている。しかし、大きな電流で露光するためにはクーロン効果による像のボケを抑制する必要がある。

【0012】クーロン効果による像のボケを抑制するには、照射する電子線を比較的高い電圧で加速したり、転写光学系のレチクルとウェハの間の距離を短縮する必要がある。その結果、荷電粒子線の短い飛行の間に所定の縮小軌道や偏向軌道をとらせなくてはならず、そのためにレンズ及び偏向器に流れる電流を増加する必要がある。

【0013】また、分割転写露光装置に代表される転写型電子線露光装置の場合、高スループットを得るためには、できるだけ偏向領域を広げることにより、感応基板が機械的にスキップしたりスキャンを折り返したりする回数を減らし、感応基板ステージが静止または駆動するのにかかるオーバーヘッド時間を減少する必要がある。偏向距離は偏向器の励磁電流に比例するため、電子線に大偏向を与えるためには大きな励磁電流を偏向器に与えねばならない。

【0014】このようにレンズや偏向器などの要素は、より高いスループットの実現のために、より大きな電流を必要とする傾向があり、これによる発熱が少なからず存在する。露光動作中に要素の温度が変動した場合、これらを構成する材料の磁気特性に従って対応する磁場の形状に変動が起きる。よって、従来よりレンズや偏向器等の温度変化による誤差を所定値にするように設計上の努力が払われてきたが、発明者らの研究の結果、これらを小さくしても除ききれない温度変化による誤差があることが分かってきており、別の発生要因があるのではないかと考えられた。

【0015】本発明者が、この原因を調査したところ、従来注意が払われてこなかった、偏向器とレンズの間に存在するフェライトスタック9、10が、温度変化に伴い偏向器の偏向感度を著しく変化させ、感応基板における像の位置ずれやボケの増加などを起こすことが分かった。

【0016】本発明はこのような知見に基づいてなされたもので、鏡筒内の温度が変化しても像の位置ずれやボケの発生が小さい荷電粒子線露光装置、及びそれを使用した半導体デバイスの製造方法を提供することを課題とする。

【0017】

【課題を解決するための手段】前記課題を解決するための第1の手段は、レチクル又はマスクに形成されたパターンを感応基板面上に転写する方式の荷電粒子線露光装置であって、電粒子線露光装置の作動中のフェライトス

タックの設計温度において、所定範囲の温度変化があったときにフェライトスタックに起因して発生する像の位置ずれの許容範囲を定め、前記範囲の温度変化があったときに、前記許容範囲以内の像の位置ずれを発生させるような透磁率変化をするフェライトを、フェライトスタックの材料として用いたことを特徴とする荷電粒子線露光装置（請求項1）である。

【0018】従来は、フェライトスタックの温度変化によって位置ずれやボケが発生すること自体が知られていなかったが、本発明者らが発見した知見に基づき、フェライトスタックについても位置ずれやボケの原因として考慮する必要が明らかになった。

【0019】本手段においては、所定範囲の温度変化があったときにフェライトスタックに起因して発生する像の位置ずれの許容範囲を定め、前記所定温度変化があったときに、前記許容範囲以内の像の位置ずれを発生させるような透磁率変化をするフェライトを使用することにより、フェライトスタックにおいて像の位置ずれの原因となっている透磁率の変化を所定範囲に抑えている。

【0020】よって、所定温度変化における像の位置ずれが設計値以内に収められるので、像の位置ずれの少ない荷電粒子線露光装置とすることができる。フェライトの特性は、その材料や焼成条件を変化させることによりコントロールすることが容易であるので、目的とするものを容易に得ることができる。

【0021】前記課題を解決するための第1の手段は、レチクル又はマスクに形成されたパターンを感応基板面上に転写する方式の荷電粒子線露光装置であって、フェライトスタックの材料として、電粒子線露光装置の作動中のフェライトスタックの設計温度において、0.01℃の温度変化に対して透磁率の変化に起因する像の位置ずれが1nm以下となるような透磁率変化を有するフェライトを用いたことを特徴とする荷電粒子線露光装置（請求項2）である。

【0022】荷電粒子線露光装置において、フェライトスタックの受ける温度変化は極端な場合でも±0.01℃程度になっている。一方、露光に際しての総合的な精度から考慮して、フェライトスタックの温度変化によって起こされる位置ずれは、1nm以下の小さなものとする必要がある。従来は、フェライトスタックの温度変化によって位置ずれやボケが発生すること自体が知られていなかったが、本発明者らが発見した知見に基づき、0.01℃の温度変化に対して透磁率の変化に起因する像の位置ずれが1nm以下となるような透磁率変化を有するフェライトを選定して用いることにより、露光転写の際に要求される精度を満足させることができるようになる。

【0023】前記課題を解決するための第3の手段は、前記第1の手段又は第2の手段である荷電粒子線露光装置を使用してレチクル又はマスクに形成されたパターンをウェハに転写する工程を有してなることを特徴とする

半導体デバイスの製造方法（請求項2）である。

【0024】第1の手段又は第2の手段である荷電粒子線露光装置においては、フェライトスタックの温度変化による像のずれが小さく抑えられるので、これを使用してレチクル又はマスクに形成されたパターンをウェハに転写することにより、微細なパターンを有する半導体デバイスでも精度・歩留良く製造することができる。

【0025】

【実施例】以下、本発明の実施例について、図を用いて説明する。図1は本発明の実施例である電子線露光装置の転写光学系の概要を示す図であり、フェライトスタックとして特殊なものを使用している他は、構造的には従来のものと変わらないので、従来例の説明において使用した図面を採用する。

【0026】この実施例においては、マスク3とウェハ4の間の距離を600nmとし、マスク3におけるパターンがウェハ4上で0.25nm角になるようにレンズ1、2の励磁電流を設定し、4分の1の縮小露光転写を行った。以下の評価では、開き角6mradのビームでレチクル上のパターンをシステム軸6から2.5mm離れたウェハ4面上の位置に照射して行った。

【0027】この光学系において、フェライトスタック9に着目し、基準とする温度25℃から0.01℃温度が上昇した時に発生する像の位置ずれの大きさで、用いるフェライトを評価した。

【0028】まず、比較例として、基準温度25℃における初透磁率が6000で、基準温度近傍で単位温度（1℃）変化あたりの初透磁率の変化率が150であるフェライトAを用いた。次に、実施例として、基準温度における初透磁率が7000で、基準温度近傍で単位温度（1℃）変化あたりの初透磁率の変化率が11であるフェライトBを用いた。

【0029】この光学系でフェライトスタック9の初透磁率が1変化した場合に生じる像の位置ずれ量 Δx は、校正時の温度におけるフェライト9の初透磁率 μ の関数として次のような式で表される。

$$\Delta x = a_0 + a_1 \cdot \mu + a_2 \cdot \mu^2$$

$$a_0 = 3.487750 \times 10$$

$$a_1 = -7.916667 \times 10^{-7}$$

$$a_2 = 4.966667 \times 10^{-7}$$

【0030】初透磁率が1変化した場合に生じる像の位置ずれ量 Δx は、25℃で校正したフェライトAの場合 5.26nmであり、25℃で校正したフェライトBの場合 3.80nmである。

【0031】これによると、フェライトA及びフェライトBを材料として用いたフェライトスタック9の温度が基準とする温度25℃から0.01℃温度が上昇した時に発生する像の位置ずれの大きさは、フェライトAを使用した場合、7.89nmとなり、フェライトBを使用した場合には0.42nmとなる。このようにフェライトBを用いた方が露

光動作中に温度変化が生じた場合に発生する像の位置ずれ量を小さくすることができる。0.01℃の温度変化に対する位置ずれを1nm以下に抑えれば十分精度のよいものが得られる。

【0032】また、予め所定の光学系におけるフェライトスタックについて、単位初透磁率変化あたりの像の位置ずれ量を校正時の初透磁率の値に対して計算しておくことにより、像位置ずれ量を所望する範囲に収めるために必要な初透磁率の温度に対する変化率を、校正時の温度における初透磁率が既知であるフェライトに対して容易に求めることができる。

【0033】

【発明の実施の形態】以下、本発明に係る半導体デバイスの製造方法の実施の形態の例を説明する。図2は、本発明の半導体デバイス製造方法の一例を示すフローチャートである。この例の製造工程は以下の各主工程を含む。

①ウェハを製造するウェハ製造工程（又はウェハを準備するウェハ準備工程）

②露光に使用するマスクを製作するマスク製造工程（又はマスクを準備するマスク準備工程）

③ウェハに必要な加工処理を行うウェハプロセス工程

④ウェハ上に形成されたチップを1個ずつ切り出し、動作可能ならしめるチップ組立工程

⑤できたチップを検査するチップ検査工程

なお、それぞれの工程はさらにいくつかのサブ工程からなっている。

【0034】これらの主工程の中で、半導体のデバイスの性能に決定的な影響を及ぼす主工程がウェハプロセス工程である。この工程では、設計された回路パターンをウェハ上に順次積層し、メモリやMPUとして動作するチップを多数形成する。このウェハプロセス工程は以下の各工程を含む。

①絶縁層となる誘電体薄膜や配線部、あるいは電極部を形成する金属薄膜等を形成する薄膜形成工程（CVDやスパッタリング等を用いる）

②この薄膜層やウェハ基板を酸化する酸化工程

③薄膜層やウェハ基板等を選択的に加工するためにマスク（レチクル）を用いてレジストのパターンを形成するリソグラフィ工程

④レジストパターンに従って薄膜層や基板を加工するエッチング工程（例えばドライエッチング技術を用いる）

⑤イオン・不純物注入拡散工程

⑥レジスト剥離工程

⑦さらに加工されたウェハを検査する検査工程

なお、ウェハプロセス工程は必要な層数だけ繰り返し行い、設計通り動作する半導体デバイスを製造する。

【0035】図3は、図2のウェハプロセス工程

の中核をなすリソグラフィー工程を示すフローチャートである。このリソグラフィー工程は以下の各工程を含む。

- ①前段の工程で回路パターンが形成されたウェハ上にレジストをコートするレジスト塗布工程
- ②レジストを露光する露光工程
- ③露光されたレジストを現像してレジストのパターンを得る現像工程
- ④現像されたレジストパターンを安定化させるためのアニール工程

以上の半導体デバイス製造工程、ウェハプロセス工程、リソグラフィー工程については、周知のものであり、これ以上の説明を要しないであろう。本半導体デバイスの製造方法においては、本発明にかかる荷電粒子線露光装置を、レチクルやマスクからウェハへの回路パターンの転写に用いているので、鏡筒内部の温度変化に伴うパターンの位置ずれやボケが少なく、よって、微細なパターンを精度・歩留良く製造することができる。

【0036】

【発明の効果】以上説明したように、本発明のうち、請求項1にかかる発明、請求項2にかかる発明においては、所定温度変化における像の位置ずれが設計値以内に収められるので、像の位置ずれの少ない荷電粒子線露光装置とすることができる。

10

*

*【0037】請求項3にかかる発明においては、微細なパターンを有する半導体デバイスでも精度・歩留良く製造することができる。

【図面の簡単な説明】

【図1】本発明の実施例、及び従来の電子線露光装置の転写光学系の概要を示す図である。

【図2】本発明の半導体デバイス製造方法の一例を示すフローチャートである。

【図3】リソグラフィー工程を示すフローチャートである。

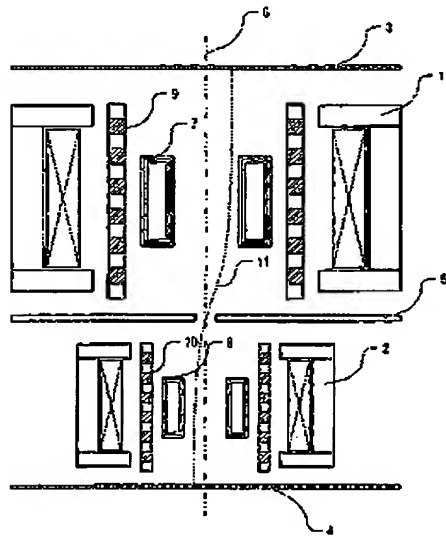
【図4】分割露光転写方式の分割露光の単位を示す図である。

【図5】分割露光転写方式の露光方法を示す概要図である。

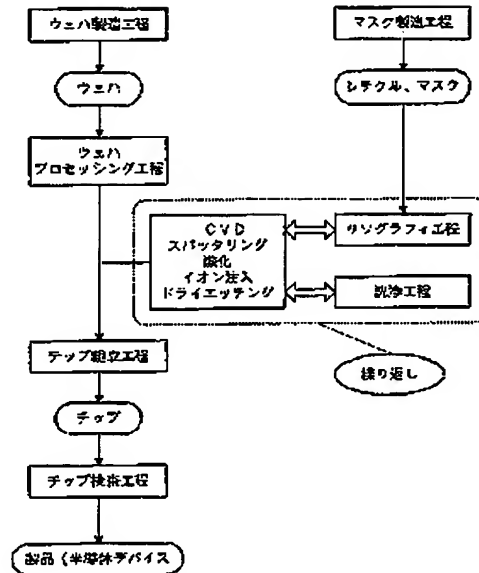
【符号の説明】

- 1…レンズ
- 2…ウェハ
- 3…レチクル
- 4…ウェハ
- 5…散乱アパーチャー
- 6…システム軸
- 7、8…偏向器
- 9、10…フェライトスタック
- 11…電子線の偏向軌道

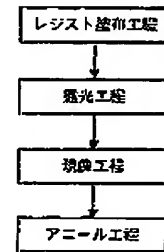
【図1】



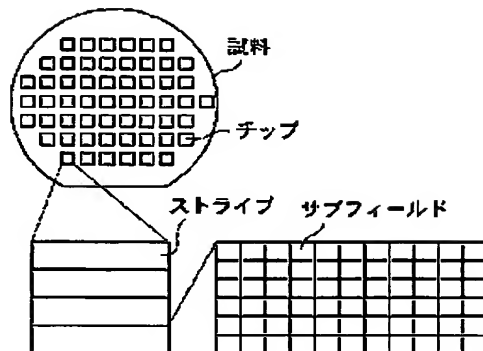
【図2】



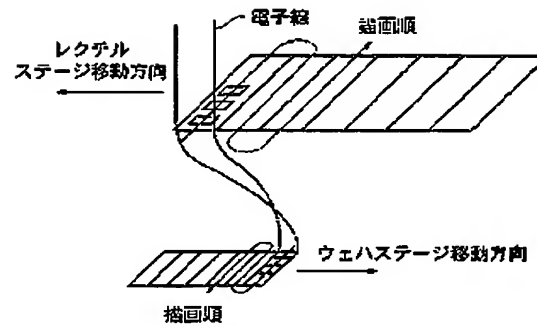
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 中野 勝志
東京都千代田区丸の内3丁目2番3号 株
式会社ニコン内
(72)発明者 岡本 和也
東京都千代田区丸の内3丁目2番3号 株
式会社ニコン内

Fターム(参考) 2H097 BA00 CA16 LA10
5C034 BB02 BB04 BB07 BB08 BB10
5F056 AA22 BA06 BA08 CB09 CC01
CC11 EA08 EA12 FA03 FA06
FA07